



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0072477
Application Number

출원 년 월 일 : 2002년 11월 20일
Date of Application NOV 20, 2002

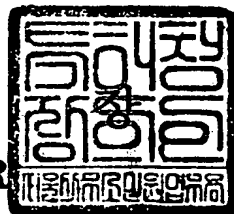
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 06 월 02 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0020
【제출일자】	2002.11.20
【국제특허분류】	H01L
【발명의 명칭】	병렬비트 테스트시 데이터 입출력 포맷을 변환하는 회로 및 방법
【발명의 영문명칭】	Circuit and method for transforming data input output format in parallel bit test
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	류진호
【성명의 영문표기】	RYU, Jin Ho
【주민등록번호】	751007-1019525
【우편번호】	431-080
【주소】	경기도 안양시 동안구 호계동 목련7단지 우성아파트 705-801
【국적】	KR
【발명자】	
【성명의 국문표기】	신충선
【성명의 영문표기】	SHIN, Choong Sun
【주민등록번호】	660304-1042116

【우편번호】	463-500
【주소】	경기도 성남시 분당구 구미동 12건영빌라 507-301
【국적】	KR
【발명자】	
【성명의 국문표기】	주용규
【성명의 영문표기】	CHU, Yong Gyu
【주민등록번호】	720419-1005315
【우편번호】	435-055
【주소】	경기도 군포시 재궁동 주공아파트 204-1002
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)
【수수료】	
【기본출원료】	15 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	7 항 333,000 원
【합계】	362,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】

【요약】

하나의 칼럼선택라인에 묶인 메모리셀의 개수보다 데이터 입력핀의 개수가 적은 경우에도 다양한 데이터 패턴을 생성할 수 있는 반도체 메모리장치의 데이터 입출력 포맷 변환회로가 개시된다. 상기 데이터 입출력 포맷 변환회로는, 제1전송회로, 제2전송회로, 및 모드 레지스터 셋트(MRS)를 구비한다. 상기 제1전송회로는 제1테스트 모드 신호가 인에이블될 때 활성화되고, n (n 는 자연수)개의 데이터 입력단자로부터 n 개의 데이터 입력을 받아들여 m (n 이상의 자연수)개의 메모리셀들에 데이터를 전송한다. 상기 제2전송회로는 제2테스트 모드 신호가 인에이블될 때 활성화되고, 상기 n 개의 데이터 입력단자로부터 n 개의 데이터 입력을 받아들여 상기 m 개의 메모리셀들에 데이터를 전송한다. 상기 모드 레지스터 셋트(MRS)는 상기 반도체 메모리장치의 외부로부터 명령과 어드레스를 수신하여 그 조합에 따라 상기 제1테스트 모드 신호와 상기 제2테스트 모드 신호를 출력한다. 특히 상기 m 개의 메모리셀들중 서로 이웃하는 다수개의 메모리셀들에 전송되는 데이터는 상기 n 개의 데이터 입력단자중 서로 다른 입력단자에서 입력된다.

【대표도】

도 3

【명세서】**【발명의 명칭】**

병렬비트 테스트시 데이터 입출력 포맷을 변환하는 회로 및 방법{Circuit and method for transforming data input output format in parallel bit test}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 X4 데이터 입출력 포맷을 나타내는 도면이다.

도 2는 병렬비트 테스트시 X4 모드로부터 X2 모드로 데이터 입출력 포맷을 변환하는 종래의 입출력 포맷 변환회로를 나타내는 도면이다.

도 3은 본 발명의 일실시예에 따른 데이터 입출력 포맷 변환회로를 나타내는 도면이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<5> 본 발명은 반도체 메모리장치에 관한 것으로, 특히 병렬비트 테스트(Parallel Bit Test, PBT)시 데이터 입출력 포맷(Format)을 변환하는 회로 및 방법에 관한 것이다.

<6> 병렬비트 테스트(PBT)는 반도체 메모리장치내의 메모리셀들에 데이터를 병렬로 기입 및 독출하여 메모리셀들 및 기입/독출 패스(Path)의 불량(Fail) 여부를 체크하는 것이다. 병렬비트 테스트시 데이터 입출력핀(DQ)의 수를 줄이면 동시에 많은 수의 메모리

장치를 테스트할 수 있다. 예컨대 테스트 장비에서 사용될 수 있는 모니터링 핀의 개수가 16개라면 X8 모드 메모리장치를 2개, 또는 X4 모드 메모리장치를 4개, 또는 X2 모드 메모리장치를 8개를 테스트할 수 있다.

<7> 따라서 병렬비트 테스트시에는 데이터 입출력핀(DQ)의 수를 줄여서 테스트하는 것이 테스트 시간 및 원가(Cost) 측면에서 유리하다. 일반적으로 병렬비트 테스트시 데이터 입출력핀(DQ)의 수를 줄이기 위해 입출력 포맷 변환회로가 사용된다.

<8> 도 1은 X4 데이터 입출력 포맷을 나타내는 도면이고, 도 2는 병렬비트 테스트시 X4 모드로부터 X2 모드로 데이터 입출력 포맷을 변환하는 종래의 입출력 포맷 변환회로를 나타내는 도면이다. 도 1에서와 같이 하나의 칼럼선택라인(Column Select Line, CSL)에 묶인 메모리셀(MC0-MC5)의 개수가 데이터 입력핀(DIN0-DIN3)의 개수와 같을 경우에는 테스트시 아무런 문제가 없다. 즉 4개의 데이터 입력핀(DIN0-DIN3)을 이용하여 모든 경우의 데이터 패턴을 4개의 메모리셀(MC0-MC5)에 기입 및 독출하여 테스트할 수 있다.

<9> 그런데 도 2에 도시된 회로에서는 입출력 포맷 변환회로(20)에 의해 두 개의 메모리셀들이 하나의 데이터 입력핀에 연결된다. 즉 두 개의 메모리셀들(MC0, MC1)이 하나의 데이터 입력핀(DIN0)에 연결되고 두 개의 메모리셀들(MC4, MC5)이 하나의 데이터 입력핀(DIN1)에 연결된다. 그 결과 하나의 칼럼선택라인(CSL)에 묶인 메모리셀(MC0-MC5)의 개수보다 데이터 입력핀(DIN0 및 DIN1)의 개수가 적다.

<10> 이러한 경우에는 기입시 메모리셀들(MC0-MC5)에 기입할 수 있는 데이터 패턴이 한정되게 된다. 아래의 표 1이 도 2에 도시된 회로에서 메모리셀들(MC0-MC5)에 기입할 수 있는 데이터 패턴의 종류를 나타낸다.

<11> 【표 1】

메모리셀	데이터 패턴			
MC0	0	0	1	1
MC1	0	0	1	1
MC4	0	1	0	1
MC5	0	1	0	1

<12> 그러나 표 1과 같은 데이터 패턴을 이용하는 경우에는 인접하는 두 개의 입출력라인 사이의 불량, 예컨대 메모리셀(MC0)에 연결되는 입출력라인과 메모리셀(MC1)에 연결되는 입출력라인 사이의 불량 또는 메모리셀(MC4)에 연결되는 입출력라인과 메모리셀(MC5)에 연결되는 입출력라인 사이의 불량은 체크가 불가능하다.

<13> 그 이유는 도 2에 도시된 종래의 입출력 포맷 변환회로(20)에 의해서는 두 개의 메모리셀(MC0,MC1) 또는 두 개의 메모리셀(MC4,MC5)에 서로 다른 데이터를 기입할 수 있는 데이터 패턴, 즉 (0,1,0,1) 또는 (1,0,1,0)을 형성하는 것이 불가능하기 때문이다.

【발명이 이루고자 하는 기술적 과제】

<14> 따라서 본 발명이 이루고자하는 기술적 과제는, 하나의 칼럼선택라인에 묶인 메모리셀의 개수보다 데이터 입력핀의 개수가 적은 경우에도 다양한 데이터 패턴을 생성할 수 있는 데이터 입출력 포맷 변환회로를 제공하는 데 있다.

<15> 본 발명이 이루고자하는 다른 기술적 과제는, 하나의 칼럼선택라인에 묶인 메모리셀의 개수보다 데이터 입력핀의 개수가 적은 경우에도 다양한 데이터 패턴을 생성할 수 있는 데이터 입출력 포맷 변환방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<16> 상기 기술적 과제를 달성하기 위한 본 발명에 따른 데이터 입출력 포맷 변환회로는, 제1테스트 모드 신호가 인에이블될 때 활성화되고, n (n 는 자연수)개의 데이터 입력단자로부터 n 개의 데이터 입력을 받아들여 m (n 이상의 자연수)개의 메모리셀들에 데이터를 전송하는 제1전송회로, 및 제2테스트 모드 신호가 인에이블될 때 활성화되고, 상기 n 개의 데이터 입력단자로부터 n 개의 데이터 입력을 받아들여 상기 m 개의 메모리셀들에 데이터를 전송하는 제2전송회로를 구비하고, 상기 m 개의 메모리셀들중 서로 이웃하는 다수개의 메모리셀들에 전송되는 데이터는 상기 n 개의 데이터 입력단자중 서로 다른 입력단자에서 입력되는 것을 특징으로 한다.

<17> 상기 본 발명에 따른 데이터 입출력 포맷 변환회로는, 반도체 메모리장치의 외부로부터 명령과 어드레스를 수신하여 그 조합에 따라 상기 제1테스트 모드 신호와 상기 제2테스트 모드 신호를 출력하는 명령 레지스터를 더 구비한다. 상기 명령 레지스터는 모드 레지스터 셋트(MRS)로 구성되는 것이 바람직하다.

<18> 상기 다른 기술적 과제를 달성하기 위한 본 발명에 따른 데이터 입출력 포맷 변환방법은, 제1테스트 모드 신호를 인에이블시키는 단계, 상기 제1테스트 모드 신호의 인에이블 동안, n (n 는 자연수)개의 데이터 입력단자로부터 n 개의 데이터 입력을 받아들여 m (n 이상의 자연수)개의 메모리셀들에 데이터를 전송하는 단계, 제2테스트 모드 신호를 인에이블시키는 단계, 및 상기 제2테스트 모드 신호의 인에이블 동안, 상기 n 개의 데이터 입력단자로부터 n 개의 데이터 입력을 받아들여 상기 m 개의 메모리셀들에 데이터를 전송하는 단계를 구비하고, 상기 m 개의 메모리셀들중 서로 이웃하는 다수개의 메모리셀들

에 전송되는 데이터는 상기 n개의 데이터 입력단자중 서로 다른 입력단자에서 입력되는 것을 특징으로 한다.

- <19> 상기 본 발명에 따른 데이터 입출력 포맷 변환방법은, 상기 반도체 메모리장치의 외부로부터 명령과 어드레스를 수신하여 그 조합에 따라 상기 제1테스트 모드 신호와 상기 제2테스트 모드 신호를 발생하는 단계를 더 구비한다.
- <20> 본 발명과 본 발명의 동작 상의 잇점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.
- <21> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <22> 도 3은 본 발명의 일실시예에 따른 데이터 입출력 포맷 변환회로를 나타내는 도면이다.
- <23> 도 3을 참조하면, 본 발명의 일실시예에 따른 데이터 입출력 포맷 변환회로(30)는, 제1전송회로(31), 제2전송회로(32), 모드 레지스터 셋트(MRS)(33), 낸드게이트들(34,36), 및 인버터들(35,37)을 구비한다.
- <24> 제1전송회로(31)는 제1테스트 모드 신호(PBTX2_SS)가 논리"하이"로 인에이블될 때 활성화되고, 2개의 데이터 입력단자(DIN0,DIN1)로부터 2개의 데이터 입력을 받아들여 4개의 메모리셀들(MC0-MC5)에 데이터를 전송한다. 제2전송회로(32)는 제2

테스트 모드 신호(PBTX2_DS)가 논리"하이"로 인에이블될 때 활성화되고, 2개의 데이터 입력단자(DIN0,DIN1)로부터 2개의 데이터 입력을 받아들여 4개의 메모리셀들(MC0-MC5)에 데이터를 전송한다. 이때 신호(PCLKM)는 항상 논리"하이" 상태를 유지한다.

- <25> 특히 상기 4개의 메모리셀들(MC0-MC5)중 서로 이웃하는 다수개의 메모리셀들에 전송되는 데이터는 2개의 데이터 입력단자(DIN0,DIN1)중 서로 다른 입력단자에서 입력된다.
- <26> 모드 레지스터 셋트(MRS)(33)는 반도체 메모리장치의 외부로부터 명령(COM)과 어드레스(ADD)를 수신하여 그 조합에 따라 제1테스트 모드 신호(PBTX2_SS)와 제2테스트 모드 신호(PBTX2_DS)를 출력한다.
- <27> 좀더 상세하게는 제1전송회로(31)는 제1테스트 모드 신호(PBTX2_SS)의 인에이블에 응답하여 2개의 데이터 입력단자(DIN0,DIN1)와 4개의 메모리셀들(MC0-MC5)을 연결하는 4개의 스위치들(T1-T4)를 포함한다. 스위치들(T1-T4)은 CMOS 트랜스미션 게이트로 구성된다.
- <28> 스위치(T1)는 제1테스트 모드 신호(PBTX2_SS)의 인에이블에 응답하여 데이터 입력단자(DIN0)와 메모리셀(MC0)을 연결한다. 스위치(T2)는 제1테스트 모드 신호(PBTX2_SS)의 인에이블에 응답하여 데이터 입력단자(DIN1)와 메모리셀(MC4)을 연결한다. 스위치(T3)는 제1테스트 모드 신호(PBTX2_SS)의 인에이블에 응답하여 데이터 입력단자(DIN0)와 메모리셀(MC1)을 연결한다. 스위치(T4)는 제1테스트 모드 신호(PBTX2_SS)의 인에이블에 응답하여 데이터 입력단자(DIN1)와 메모리셀(MC5)을 연결한다.

- <29> 제2전송회로(32)는, 제2테스트 모드 신호(PBTX2_DS)의 인에이블에 응답하여, 2개의 데이터 입력단자(DIN0, DIN1)와 4개의 메모리셀들(MC0-MC5)을 연결하는 4개의 스위치들(T5-T8)를 포함한다. 스위치들(T5-T8)은 CMOS 트랜스미션 게이트로 구성된다.
- <30> 스위치(T5)는 제2테스트 모드 신호(PBTX2_DS)의 인에이블에 응답하여 데이터 입력단자(DIN0)와 메모리셀(MC0)을 연결한다. 스위치(T6)는 제2테스트 모드 신호(PBTX2_DS)의 인에이블에 응답하여 데이터 입력단자(DIN0)와 메모리셀(MC4)을 연결한다. 스위치(T7)는 제2테스트 모드 신호(PBTX2_DS)의 인에이블에 응답하여 데이터 입력단자(DIN1)와 메모리셀(MC1)을 연결한다. 스위치(T8)는 제2테스트 모드 신호(PBTX2_DS)의 인에이블에 응답하여 데이터 입력단자(DIN1)와 메모리셀(MC5)을 연결한다.
- <31> 아래의 표 2는 도 3에 도시된 본 발명에 따른 회로에서 메모리셀들(MC0-MC5)에 기입할 수 있는 데이터 패턴의 종류를 나타낸다. 본 발명에 따른 회로에서는 제1테스트 모드 신호(PBTX2_SS)와 제2테스트 모드 신호(PBTX2_DS)의 상태를 조절함으로써 표 2와 같이 메모리셀들(MC0-MC5)에 기입할 수 있는 여러 가지 경우의 데이터 패턴이 생성될 수 있다.

<32> 【표 2】

메모리셀	DIN0/DIN1(PBTX2_SS=1, PBTX2_DS=0)				DIN0/DIN1(PBTX2_SS=0, PBTX2_DS=1)			
	0/0	0/1	1/0	1/1	0/0	0/1	1/0	1/1
MC0	0	0	1	1	0	0	1	1
MC1	0	0	1	1	0	1	0	1
MC4	0	1	0	1	0	0	1	1
MC5	0	1	0	1	0	1	0	1

- <33> 예컨대 PBTX2_SS가 논리"1"이고 PBTX2_DS가 논리"0"일 때는 제1전송회로(31) 내의 스위치들(T1-T4)이 턴온되고 제2전송회로(32) 내의 스위치들(T5-T8)이 턴오프된다. 이에

따라 데이터 입력단자(DIN0)와 메모리셀(MC0)이 연결되고 데이터 입력단자(DIN1)와 메모리셀(MC4)이 연결된다. 또한 데이터 입력단자(DIN0)와 메모리셀(MC1)이 연결되고 데이터 입력단자(DIN1)와 메모리셀(MC5)이 연결된다. 따라서 데이터 입력단자(DIN0,DIN1)에 인가되는 4가지 경우에 따라 4가지 경우의 데이터 패턴, 즉(0,0,0,0), (0,0,1,1), (1,1,0,0), (1,1,1,1)이 생성될 수 있다.

<34> PBTX2_SS가 논리"0"이고 PBTX2_DS가 논리"1"일 때는 제1전송회로(31) 내의 스위치들(T1-T4)이 턴오프되고 제2전송회로(32) 내의 스위치들(T5-T8)이 턴온된다. 이에 따라 데이터 입력단자(DIN0)와 메모리셀(MC0)이 연결되고 데이터 입력단자(DIN0)와 메모리셀(MC4)이 연결된다. 또한 데이터 입력단자(DIN1)와 메모리셀(MC1)이 연결되고 데이터 입력단자(DIN1)와 메모리셀(MC5)이 연결된다. 따라서 데이터 입력단자(DIN0,DIN1)에 인가되는 4가지 경우에 따라 4가지 경우의 데이터 패턴, 즉(0,0,0,0), (0,1,0,1), (1,0,1,0), (1,1,1,1)이 생성될 수 있다.

<35> 이상에서와 같이 본 발명에 따른 데이터 입출력 포맷 변환회로에서는 여러 가지 경우의 다양한 데이터 패턴이 생성될 수 있다. 특히 도 2에 도시된 종래의 회로와 달리 두 개의 메모리셀(MC0,MC1) 또는 두 개의 메모리셀(MC4,MC5)에 서로 다른 데이터를 기입할 수 있는 데이터 패턴, 즉 (0,1,0,1) 또는 (1,0,1,0)을 형성하는 것이 가능하다.

<36> 따라서 종래에는 체크가 불가능했던 불량, 즉 인접하는 두 개의 입출력라인 사이의 불량, 예컨대 메모리셀(MC0)에 연결되는 입출력라인과 메모리셀(MC1)에 연결되는 입출력라인 사이의 불량 또는 메모리셀(MC4)에 연결되는 입출력라인과 메모리셀(MC5)에 연결되는 입출력라인 사이의 불량이 체크 가능해 진다.

<37> 이상 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<38> 상술한 바와 같이 본 발명에 따른 데이터 입출력 포맷 변환회로는, 하나의 칼럼선택라인에 묶인 메모리셀의 개수보다 데이터 입력편의 개수가 적은 경우에도 다양한 데이터 패턴을 생성할 수 있는 장점이 있다. 따라서 본 발명에 따른 데이터 입출력 포맷 변환회로에 의해 여러 가지 종류의 불량들이 체크될 수 있다.

【특허청구범위】**【청구항 1】**

제1테스트 모드 신호가 인에이블될 때 활성화되고, n (n 는 자연수)개의 데이터 입력 단자로부터 n 개의 데이터 입력을 받아들여 m (n 이상의 자연수)개의 메모리셀들에 데이터를 전송하는 제1전송회로; 및

제 2테스트 모드 신호가 인에이블될 때 활성화되고, 상기 n 개의 데이터 입력단자로부터 n 개의 데이터 입력을 받아들여 상기 m 개의 메모리셀들에 데이터를 전송하는 제2전송회로를 구비하고,

상기 m 개의 메모리셀들중 서로 이웃하는 다수개의 메모리셀들에 전송되는 데이터는 상기 n 개의 데이터 입력단자중 서로 다른 입력단자에서 입력되는 것을 특징으로 하는 반도체 메모리장치의 데이터 입출력 포맷 변환회로.

【청구항 2】

제1항에 있어서,

상기 반도체 메모리장치의 외부로부터 명령과 어드레스를 수신하여 그 조합에 따라 상기 제1테스트 모드 신호와 상기 제2테스트 모드 신호를 출력하는 명령 레지스터를 더 구비하는 것을 특징으로 하는 반도체 메모리장치의 데이터 입출력 포맷 변환회로.

【청구항 3】

제2항에 있어서, 상기 명령 레지스터는 모드 레지스터 셋트(MRS)인 것을 특징으로 하는 반도체 메모리장치의 데이터 입출력 포맷 변환회로.

【청구항 4】

제1항에 있어서, 상기 제1전송회로는,

상기 제1테스트 모드 신호에 응답하여, 상기 n 개의 데이터 입력단자와 상기 m 개의 메모리셀들을 연결하는 m 개의 스위치를 구비하는 것을 특징으로 하는 반도체 메모리장치의 데이터 입출력 포맷 변환회로.

【청구항 5】

제1항에 있어서, 상기 제2전송회로는,

상기 제2테스트 모드 신호에 응답하여, 상기 n 개의 데이터 입력단자와 상기 m 개의 메모리셀들을 연결하는 m 개의 스위치를 구비하는 것을 특징으로 하는 반도체 메모리장치의 데이터 입출력 포맷 변환회로.

【청구항 6】

제1테스트 모드 신호를 인에이블시키는 단계;

상기 제1테스트 모드 신호의 인에이블 동안, n (n 는 자연수)개의 데이터 입력단자로부터 n 개의 데이터 입력을 받아들여 m (n 이상의 자연수)개의 메모리셀들에 데이터를 전송하는 단계;

제2테스트 모드 신호를 인에이블시키는 단계; 및

상기 제2테스트 모드 신호의 인에이블 동안, 상기 n 개의 데이터 입력단자로부터 n 개의 데이터 입력을 받아들여 상기 m 개의 메모리셀들에 데이터를 전송하는 단계를 구비하고,

상기 m개의 메모리셀들중 서로 이웃하는 다수개의 메모리셀들에 전송되는 데이터는
상기 n개의 데이터 입력단자중 서로 다른 입력단자에서 입력되는 것을 특징으로 하는
반도체 메모리장치의 데이터 입출력 포맷 변환방법.

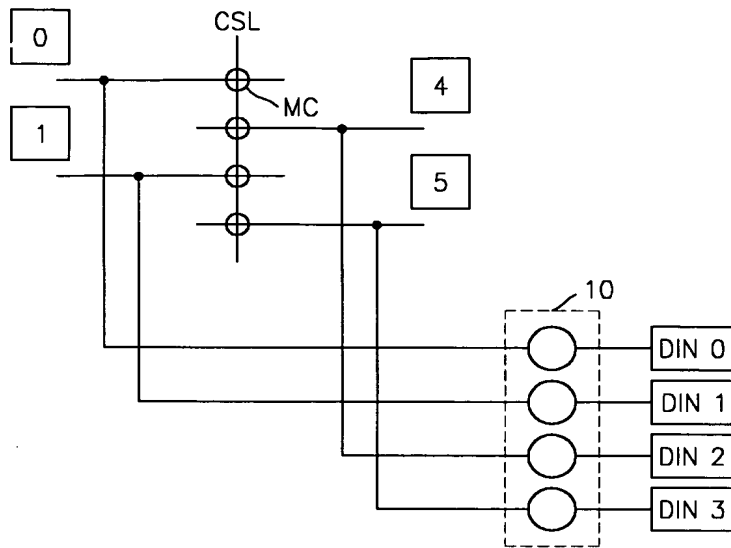
【청구항 7】

제6항에 있어서,

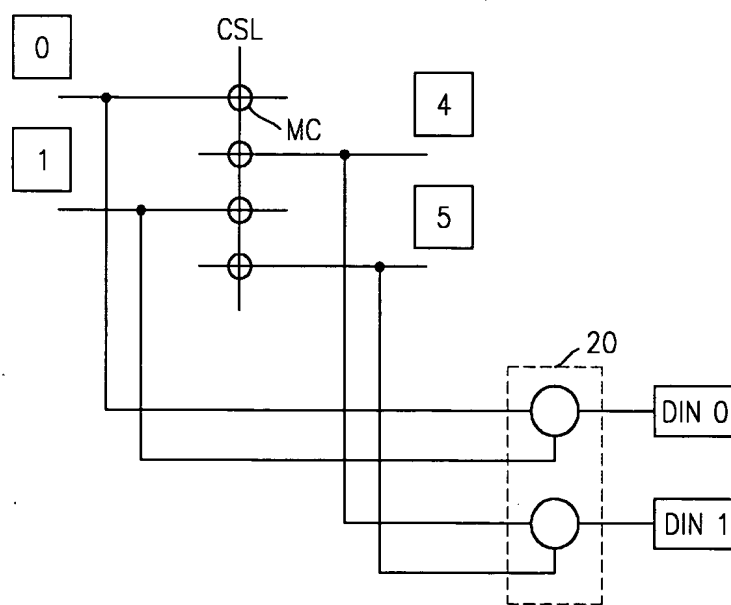
상기 반도체 메모리장치의 외부로부터 명령과 어드레스를 수신하여 그 조합에 따라
상기 제1테스트 모드 신호와 상기 제2테스트 모드 신호를 발생하는 단계를 더 구비하는
것을 특징으로 하는 반도체 메모리장치의 데이터 입출력 포맷 변환방법.

【도면】

【도 1】



【도 2】



【도 3】

